

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY

As rescanning documents *will not* correct images, please do not report the images to the Image Problem Mailbox.



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05003546 A

(43) Date of publication of application: 08.01.93

(51) Int. Cl. **H04N 1/40**
H04N 1/028

(21) Application number: **03178895**

(71) Applicant: **CANON INC**

(22) Date of filing: 25.06.91

(72) Inventor: **KUMATORIYA AKIHIKO**

(54) IMAGE READER AND IMAGE INFORMATION PROCESSOR PROVIDED WITH THE SAME

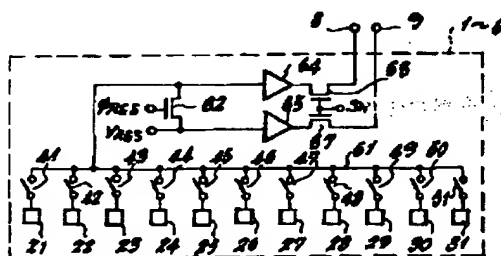
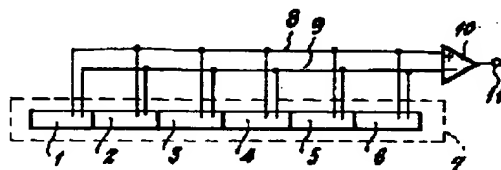
a differential amplifier 10.

COPYRIGHT: (C)1993,JPO&Japio

(57) Abstract:

PURPOSE: To completely eliminate a difference in signal level generated by dispersion in the offset voltages of plural image sensors by removing the offset voltage of a buffer amplifier for signal output.

CONSTITUTION: SW are inputted to the gates of MOS transistors(Tr) 66 and 67 at a sensor chip 1 and simultaneously, a ϕ RES is inputted to the gate of an MOS Tr 62. Since a horizontal output line 61 is reset according to a ϕ RES 1 by a Tr 62 each time the Tr 66 is turned on and one picture element signal is outputted, signals from a picture element 21 to a picture element 31 of the sensor chip 1 are successively read through a buffer amplifier 64 to a signal output line 65. Simultaneously, the Tr 67 is turned on, and a reset voltage VRES is outputted through a buffer amplifier 65 to a reference line output 9. Since the buffer amplifiers 64 and 65 are produced in the same sensor chip, the offset voltage is equal. Therefore, the offset voltage is eliminated in a signal outputted from



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-3546

(43)公開日 平成5年(1993)1月8日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	FI	技術表示箇所
H04N 1/40	101 A	9068-5C		
1/028	A	9070-5C		

審査請求 未請求 請求項の数6(全12頁)

(21)出願番号 特願平3-178895

(22)出願日 平成3年(1991)6月25日

(71)出願人 000001007

キャノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 熊取谷 昭彦

東京都大田区下丸子3丁目30番2号 キャ
ノン株式会社内

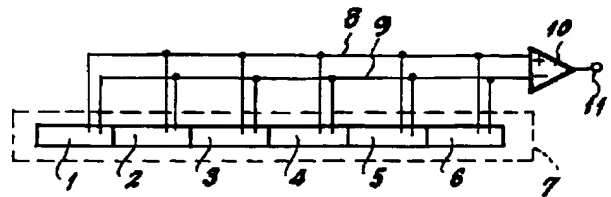
(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 画像読取装置及びその画像読取装置を備えた画像情報処理装置

(57)【要約】

【目的】 複数のイメージセンサのオフセット電圧のバラツキに起因して生じる信号レベルの段差を完全に除去し、イメージセンサのS/Nを向上する。

【構成】 複数のイメージセンサからなるマルチチップ型イメージセンサを備えてなる画像読取装置において、前記複数のイメージセンサにそれぞれ設けられた信号出力用バッファアンプのオフセット電圧を除去する手段を設け、イメージセンサ間の出力信号のレベル段差を除去する。



1

【特許請求の範囲】

【請求項1】 複数のイメージセンサからなるマルチチップ型イメージセンサを備えてなる画像読取装置において、前記複数のイメージセンサにそれぞれ設けられた信号出力用バッファアンプのオフセット電圧を除去する手段を設け、イメージセンサ間の出力信号のレベル段差を除去するようにしたことを特徴とする画像読取装置。

【請求項2】 前記除去手段は、それぞれのイメージセンサにリファレンス用の信号を讀出するためのバッファアンプを有し、このバッファアンプから出力されたリファレンス用の信号とそれぞれのイメージセンサから信号出力用のバッファアンプを介して出力された信号の差をとることによって、前記信号出力用バッファアンプのオフセット電圧を除去することを特徴とする請求項1の画像読取装置。

【請求項3】 前記除去手段は、複数のイメージセンサの信号を奇数番目と偶数番目で交互に讀出するための手段と、この奇数及び偶数番目のセンサ信号をそれぞれ出力するためのバッファアンプとを有し、該バッファアンプの入力電圧を該当イメージセンサの信号讀出し前に一定電圧にクランプすることによって、イメージセンサ内の信号出力用バッファアンプのオフセット電圧を除去することを特徴とする請求項1の画像読取装置。

【請求項4】 前記除去手段は、各イメージセンサの信号出力用バッファアンプのオフセット電圧を記憶するためのメモリを有し、イメージセンサの信号讀出し時に前記メモリから対応するオフセット電圧を讀出し、イメージセンサの信号と差をとることによって、前記信号出力用バッファアンプのオフセット電圧を除去することを特徴とする請求項1の画像読取装置。

【請求項5】 請求項1に記載の画像読取装置と、画像情報を担持した原稿を前記画像読取装置による読み取り位置に保持する為の原稿保持手段と、前記画像読取装置により読み取られた画像情報を記録する為の記録手段とを有することを特徴とする画像読取装置を備えた画像情報処理装置。

【請求項6】 前記記録手段は、熱エネルギーを利用してインクを吐出して記録を行う記録ヘッドであることを特徴とする請求項5の画像読取装置を備えた画像情報処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、複数のイメージセンサで構成されたマルチチップ型イメージセンサを用いて画像情報を讀取る画像読取装置及びその画像読取装置を備えた画像情報処理装置に関するものである。

【0002】

【従来の技術】 図11は従来例のマルチチップ型イメージセンサの構成を示した図である。図において、101～106はマルチチップ型イメージセンサを構成すると

2

ころのセンサチップ、107は各センサチップが搭載されたモジュール基板である。各センサチップの出力は出力線108に出力され、バッファアンプ110を介して出力端子111から外部へ出力される。図12は各センサチップの内部構成を示した図で、21～31は入射光を光電変換するための画素、41～51は画素で得られた信号のうち出力する信号を選択するためのスイッチである。また、61は各画素信号を出力する水平出力線、62は水平出力線をリセットするためのMOSトランジスタ、64はバッファアンプ、66はセンサチップを選択するためのMOSトランジスタである。

【0003】 次に、上記マルチチップイメージセンサから画素信号を讀出するときの動作を図13に示すタイムチャートを用いて説明する。まず、センサチップ101内のMOSトランジスタ66のゲートにハイレベルのSW1が入力され、センサチップ101の各画素信号が順次出力線108に出力される。このとき、MOSトランジスタ62のゲートに各画素の信号出力の間はハイレベルとなる $\phi RES1$ が入力され、1つの画素信号の出力毎に水平出力線61がリセットされる。これによりセンサチップ101の画素21から画素31まで順に信号が讀出され、最後の信号が讀出されると、SW1はローレベルに反転し、SW2がハイレベルに立上ってセンサチップ102内のMOSトランジスタ66のゲートに入力される。また、センサチップ102内のMOSトランジスタ62のゲートに $\phi RES2$ が入力されるため、同様にセンサチップ102の各画素の信号が順次讀出される。以下、同様にセンサチップ103～106までの画素の信号が讀出され、この結果出力端子111には図に

【0004】

【発明が解決しようとしている課題】 しかしながら、上記従来のイメージセンサでは、各センサチップのバッファアンプ64にオフセット電圧があり、しかも個々のセンサチップ毎にオフセット電圧がバラツキを生じる。そのため、図13に out' として示したように個々のセンサチップの出力信号にオフセット電圧のバラツキによる段差が生じ、イメージセンサのS/Nを低下させると

【0005】 本発明は、このような問題点を解消するためになされたもので、その目的は複数のイメージセンサのオフセット電圧のバラツキに起因して生じる信号レベルの段差を完全に除去し、イメージセンサのS/Nを向上した画像読取装置及びその画像読取装置を備えた画像情報処理装置を提供することにある。

【0006】

【課題を解決するための手段】 本発明のこのような目的は、複数のイメージセンサからなるマルチチップ型イメージセンサを備えてなる画像読取装置において、前記複

3

数のイメージセンサにそれぞれ設けられた信号出力用のバッファアンプのオフセット電圧を除去する手段を設け、イメージセンサ間の出力信号のレベル段差を除去するようにしたことを特徴とする画像読取装置によって達成される

【0007】

【実施例】以下、本発明の実施例について、図面を参照して詳細に説明する。図1は本発明の画像読取装置の一実施例を示した構成図、図2は個々のセンサチップの内部構成を示した回路図である。なお、図1、図2では従来装置と同一部分は同一符号を付し、本実施例ではその説明を省略する。図において、1～6はそれぞれイメージセンサのセンサチップであり、ここでは6つのセンサチップからマルチチップ型イメージセンサが構成されている。各センサチップはモジュール基板7上に搭載されている。また、8は各画素の信号を出力する信号出力線、9はリファレンス用の信号を出力するリファレンス出力線であって、この2つの出力線に各センサチップから画素信号とリファレンス用信号が対として出力される。信号出力線8、リファレンス出力線9に出力された画素信号とリファレンス用信号は差動アンプ10の2つの入力端子に入力され、画素信号とリファレンス用信号の差動をとって出力端子11から外部へ出力される。各センサチップの内部には、図2に示すように、リファレンス信号を出力するためのバッファアンプ65、センサチップを選択するためのMOSトランジスタ67が設けられている。MOSトランジスタ67は前述したMOSトランジスタ66とゲートが共通となっており2つのトランジスタは同時オン、オフする構成である。また、バッファアンプ65の入力には、リセット電圧 V_{RES} が出力されており、この電圧がバッファアンプ65を介して差動アンプ10の負入力端子に出力される。なお、センサチップのその他の構成は、図12に示した従来のものと同一である。

【0008】次に、本実施例の動作を図3を参照して説明する。なお、被写体としては画面全体に一律の明るさをもつものとする。まず、センサチップ1のMOSトランジスタ66及び67のゲートにSW1が入力され、同時にセンサチップ1のMOSトランジスタ62のゲートに ϕ_{RES1} が入力される。これにより、MOSトランジスタ66がオンし、また ϕ_{RES1} によりMOSトランジスタ62が1つの画素信号が出力される毎に水平出力線61をリセットするため、センサチップ1の画素21から画素31までの信号が順に信号出力線8に読出される。同時にMOSトランジスタ67がオンするため、リセット電圧 V_{RES} がリファレンス出力線9へ出力される。従って、差動アンプの同相入力には信号出力線8に読出された画素信号が、また差動入力にはリファレンス出力線9のリセット電圧 V_{RES} が出力される。この場合、信号出力線8に読出された信号は、バッファアンプ

4

64を介して出力されるため、そのオフセット電圧を含んでおり、また他方のリセット電圧もバッファアンプ65を介して出力されるので、同じオフセット電圧を含んでいる。バッファアンプ64と65は同じセンサチップ内に作製されているため、オフセット電圧は同じである。従って、差動アンプ10から出力される信号はオフセット電圧が除去され、本来の入射光に対応した信号のみを読出すことができる。センサチップ1の画素信号が全て読出されると、次のセンサチップ2のMOSトランジスタ66、67のゲートにSW2が入力され、前記と同様にセンサチップ2の画素信号が信号出力線8に、リセット電圧がリファレンス出力線9にそれぞれ出力される。これにより、前記と同様に差動アンプ10の出力からバッファアンプのオフセット電圧を除去した信号を得ることができる。以下、同様にセンサチップを選択する信号SWによってセンサチップ3～6が順次選択され各センサチップ毎にオフセット電圧を除去した信号が出力される。図3に信号出力線8に読出される各センサチップの信号を示しているが、同図から明らかなように個々のセンサチップのバッファアンプ64のオフセット電圧のバラツキにより、読出された信号にセンサチップ間で段差があることがわかる。一方、リファレンス出力線9に出力されるリファレンス電圧も同図に示すように同じ段差をもっていることがわかる。従って、差動アンプ10から出力される信号は同図に差動出力として示す如く、個々のセンサチップ毎にバッファアンプのオフセット電圧が除去され、チップ間の信号の段差を完全に取除くことができる。

【0009】図4は本発明の他の実施例を示した構成図である。なお、本実施例ではセンサチップ1～6の構成は、図12に示したものと同一である。図4において、70は奇数番目のセンサチップの信号を読出す信号出力線、71は奇数番目のセンサチップの信号を読出す信号出力線である。従って、奇数番目のセンサチップ1、3、5の信号は信号出力線70に、偶数番のセンサチップ2、4、6の信号は信号出力線71にそれぞれ読出される。72、73はそれぞれ信号出力線70、71に対応したクランプ容量、74、75はそれぞれ信号出力線70、71をクランプ電位 V_{CL} にクランプするためのMOSトランジスタである。また、76、77は各信号出力線に読出された信号を出力するためのバッファアンプ、78、79はバッファアンプ76、77の出力を選択出力するためのMOSトランジスタである。

【0010】次に、本実施例の動作を図5を参照して説明する。まず、最初にセンサチップ1の信号が読出される。この読出しに際しては、1ビット目の信号が読出される前、即ち図12に示した先頭の画素21の信号が読出される前に、MOSトランジスタ62のゲートへの ϕ_{RES1} 及びMOSトランジスタ66のゲートへのSW1がオンされる。これにより、リセット電圧 V_{RES} とバ

5

ッファアンプ64のオフセット電圧 V_{OFF1} の和の電圧
($V_{RES} + V_{OFF1}$)が信号出力線70に出力される(図
12参照)。このとき、図5に示すようにMOSトラン
ジスタ74のゲートに ϕCLO (ハイレベル)が入力さ
れ、MOSトランジスタ74がオンするため、バッファ
アンプ76の入力電圧はクランプ電圧 V_{CL} にクランプさ
れる。この後、 ϕCLO がオフされ、またMOSトラン
ジスタ62に $\phi RES1$ が入力されるため、1つの画素
信号が出力される毎に水平出力線61がリセットされ、
センサチップ1の画素の信号が順次信号出力線70に読
出される。この場合、バッファアンプ76の入力はフロ
ーティング状態にあり、またMOSトランジスタ78の
ゲートに $SW0$ (ハイレベル)が入力されるので、出力
端子11にはバッファアンプ78のオフセット電圧を含
む出力信号が出力される。この出力信号 V_{OUT} は、次式
で表わされる。

【0011】

$$V_{OUT} = V_{CL} + V_{SIG} + V_{OFF0} \dots (1)$$

但し、 V_{CL} はクランプ電圧、 V_{SIG} は画素信号レベル、
 V_{OFF0} はバッファアンプ78のオフセット電圧である。

【0012】一方、センサチップ1の読出しが終わりに
近くなると、センサチップ2のMOSトランジスタ62
の $\phi RES2$ 及びMOSトランジスタ66の $SW2$ がオン
し信号出力線71にリセット電圧 V_{RES} とバッファア
ンプ64のオフセット電圧 V_{OFF2} の和の電圧が出力さ
れる。このとき、 ϕCLE がオンするため、MOSトラン
ジスタ75がオンし、前記と同様にバッファアンプ77
の入力はクランプ電圧 V_{CL} にクランプされる。センサチ
ップ1の信号の読出しが終了すると、 $SW1$ と $\phi RES1$
がオフされ、センサチップ2のMOSトランジスタ6
2に $\phi RES2$ が与えられ、信号出力線71にセンサチ
ップ2の画素信号が順次読出される。このとき、 $SW0$
はオフ、 SWE はオンしてMOSトランジスタ79をオン
させるため、センサチップ2の画素信号はバッファア
ンプ77を介して外部へ出力される。バッファアンプ7
7のオフセット電圧を V_{OFFE} とすると、出力端子11か
ら出力される出力信号 V_{OUT} は次式で表わされる。

【0013】

$$V_{OUT} = V_{CL} + V_{SIG} + V_{OFFE} \dots (2)$$

但し、 V_{CL} はクランプ電圧、 V_{SIG} はセンサチップ2の
画素信号である。

【0014】センサチップ2の信号読出しが終わりに近
づく、前記と同様の動作でバッファアンプ76の入力
電圧がクランプされ、次の奇数番目のセンサチップ3の
信号読出しに備えられる。そして、センサチップ2の信
号が全て出力されると、センサチップ3の信号の読出し
が開始され、終わりに近づくと同様に次の偶数番目の
センサチップ4のバッファアンプ76の入力電圧がクラン
プされる。以下、同様に各センサチップの読出し前にそ
れに対応するバッファアンプの入力電圧が一定電圧にク

6

ランプされ、また奇数番目のセンサチップ、次は偶数番
目のセンサチップというように奇数番と偶数番のセンサ
チップが交互に読出される。この場合、(1)及び

(2)式で示したように出力電圧にはセンサチップ内の
バッファアンプ64のオフセット電圧は含まれない。即
ち、信号の読出し前に強制的にバッファアンプ76、7
7の入力を一定電圧にクランプするために、出力電圧に
センサチップ内のオフセット電圧は現われず、図5に
OUTとして示すようにセンサチップのオフセット電圧の
バラツキによって生じていた出力信号の段差を完全に除
去することができる。なお、バッファアンプ76と77
のオフセット電圧の違いによって、出力信号に $|V_{OFF0}$
 $- V_{OFFE}|$ のレベル差が生じるが、これは極く小さくで
るので、何ら問題はない。

【0015】図6は本発明の更に他の実施例を示した構
成図である。図において、80は各センサチップのバッ
ファアンプのオフセット電圧を記憶するためのメモリ、
81は各センサチップから読出された信号からメモリ8
0に記憶されたオフセット電圧を減算する差動アンプで
ある。なお、この実施例ではセンサチップの構成は、図
12に示したものと同一である。また、ここでは4つの
センサチップでイメージセンサを構成した例を示してい
る。

【0016】次に、動作を図7を参照して説明する。ま
ず、センサチップ1とメモリ80に信号の読出しを指示
するスタートパルスSP及びイメージセンサの出力信号
を読出すときに同期をとるためのクロックパルスCLK
が入力される。次いで、センサチップ1内のMOSトラン
ジスタ66のゲートに入力される $SW1$ 及びMOSト
ランジスタ62のゲートに入力される $\phi RES1$ が同時
に所定時間だけハイレベルに立上る。これにより、セン
サチップ1からバッファアンプ64のオフセット電圧が
信号出力線に出力され、メモリ80に記憶される。これ
が終了すると、 $SW2$ と $\phi RES2$ がハイレベルに立上
り、前記と同様にセンサチップ2のバッファアンプ64
のオフセット電圧がメモリ80に記憶される。以下、同
様にセンサチップ3、センサチップ4のオフセット電圧
が順次メモリ80に記憶され、全てのオフセット電圧の
記憶が終了すると、センサチップ1の信号を読出すべく
 $SW1$ がハイレベルとなり、また $\phi RES1$ がオンし、
各々センサチップ1のMOSトランジスタに与えられ
る。これにより、前記実施例と同様にセンサチップ1の
各画素の信号が順次読出され、差動アンプ81の同相端
子に入力される。一方メモリ80に記憶されたセンサチ
ップ1のオフセット電圧が差動アンプ81の差動端子に
入力され、差動アンプ81からはセンサ出力からオフセ
ット電圧を減算した信号が出力される。センサチップ1
の最終画素の信号が出力されると、センサチップ1から
エンドパルス1Eが次のセンサチップ2とメモリ80に
出力されセンサチップ2の信号読出しが指示される。こ

7

の指示により SW 2 がハイレベルとなり、また ϕ RES 2 がオンするため、前記と同様にセンサチップ 2 内の MOS トランジスタが駆動され、センサチップ 2 の各画素の信号が順次読出される。また、メモリ 80 もエンドパルス 1 E によって、センサチップ 2 のオフセット電圧を出力し、差動アンプ 81 からはセンサチップ 2 の出力信号からオフセット電圧を減算した信号が出力される。以下、同様に 1 つのセンサチップの信号読出しが終了する毎に、次のセンサチップへエンドパルスが出力され、センサチップ 3 とセンサチップ 4 の信号が順次読出される。また、メモリ 80 からセンサチップに対応したオフセット電圧が出力されるため、差動アンプ 81 からは各センサチップ毎にオフセット電圧を除去した信号が出力される。この結果、図 7 に OUT として示すように各センサチップのバッファアンプのオフセット電圧のバラツキによる信号の段差を完全になくすることができる。

【0017】図 8 は図 6 の実施例を更に改良した例で、カウンタ 82 に SP 及び CLK を入力し、このカウンタ 82 の指示によってメモリ 80 に記憶されたオフセット電圧の中からセンサチップに対応したオフセット電圧を

読出すようにした例である。この実施例では、各イメージセンサからエンドパルスを取り出す必要がないので、その分各センサの構成を簡単化することができる。

【0018】図 9 は上述した実施例の一面素に対応する等価回路図である。PS は画素を形成するバイポーラトランジスタ、SW₁ はエミッタを基準電圧源 V_{ES} に接続しリセットを行うためのスイッチ手段としての NMOS トランジスタ、SW₂ はベースを基準電圧源 V_{BB} に接続しリセットを行うためのスイッチ手段としての PMOS トランジスタ、SW₃ は信号電荷転送用のスイッチ手段としての NMOS トランジスタ、CT は信号電圧の生成される定常負荷である。以下、その動作を簡単に説明する。

<リセット動作> まず、PMOS トランジスタ SW₂ のゲートに負のパルス電圧が印加されてベースが電圧 V_{BB} にクランプされる。次に、NMOS トランジスタ SW₁ のゲートに正のパルス電圧が印加されてエミッタが電圧源 V_{ES} に接続され、ベース・エミッタ間に電流が流れて、ベースに残留する光生成キャリアが消滅する。

<蓄積動作> NMOS トランジスタ SW₁、SW₃ ともオフ状態となり、エミッタ、ベースともに浮遊状態とされ、蓄積動作が開始される。

<読出動作> 次いで、NMOS トランジスタ SW₃ のゲートに正のパルス電圧が印加されてオンし、エミッタと容量 CT とが接続されて、信号電圧が容量 CT に読み出される。このようなイメージセンサの基本的構成は、発明者大見及び田中に付与された米国特許第 4,686,554 号明細書等に、容量負荷を含む出力回路にバイポーラ・トランジスタのエミッタが接続された電荷蓄積型の高感度、低ノイズの光電変換装置として記載されている。

(5)

8

【他の実施例】以上説明した第 1、第 2 及び第 3 の実施例ではバイポーラトランジスタを用いた電荷蓄積・増幅型のイメージセンサについて説明したが、本発明は光ダイオードを受光部とし MOS スイッチや電荷結合素子 (CCD) 等で信号電荷を転送するタイプのセンサにも好ましく適用できる。そして、図 1 に示したようなイメージセンサは A1 等で形成された筐体に、LED アレイ等の光源や短焦点結像素子アレイ等の結像光学系と一体的に組み立てられて密着型イメージセンサユニットを構成する。

【0019】図 10 は、本例に係るセンサユニット 200 を用いて構成した画像情報処理装置として通信機能を有するファクシミリの一例を示す。ここで、202 は原稿 PP を読み取り位置に向けて給送するための給送手段としての給送ローラ、204 は原稿 PP を一枚ずつ確実に分離給送するための分離片である。206 はセンサユニット 200 に対して読み取り位置に設けられて原稿 PP の被読み取り面を規制するとともに原稿 PP を搬送する搬送手段としてのプラテンローラである。P は図示の例ではロール紙形態をした記録媒体であり、センサユニット 200 により読み取られた画像情報あるいはファクシミリ装置等の場合には外部から送信された画像情報がここに再生される。210 は当該画像形成をおこなうための記録手段としての記録ヘッドで、サーマルヘッド、インクジェット記録ヘッド等種々のものを用いることができる。また、この記録ヘッドは、シリアルタイプのもので、ラインタイプのものでよい。212 は記録ヘッド 210 による記録位置に対して記録媒体 P を搬送するとともにその被記録面を規制する搬送手段としてのプラテンローラである。

【0020】220 は、入力/出力手段としての操作入力を受容するスイッチやメッセージその他、装置の状態を報知するための表示部等を配したオペレーションパネルである。230 は制御手段としてのシステムコントロール基板であり、各部の制御を行う制御部 (コントローラ) や、光電変換素子の駆動回路 (ドライバー)、画像情報の処理部 (プロセッサ)、送受信部等が設けられる。240 は装置の電源である。

【0021】本発明の画像情報処理装置に用いられる記録手段としては、例えば米国特許第 4,723,129 号明細書、同第 4,740,796 号明細書にその代表的な構成や原理が開示されているものが好ましい。この方式は液体 (インク) が保持されているシートや液路に対応して配置されている電気熱変換体に、記録情報に対応して核沸騰を越える急速な温度上昇を与える少なくとも一つの駆動信号を印加することによって、電気熱変換体に熱エネルギーを発生せしめ、記録ヘッドの熱作用面に膜沸騰させて、結果的にその駆動信号に一对一対応し液体 (インク) 内の気泡を形成出来るので有効である。この気泡の成長、収縮により吐出用開口を介して液体 (イン

9

ク)を吐出させて、少なくとも一つの滴を形成する。更に、記録装置が記録できる最大記録媒体の幅に対応した長さを有するフルラインタイプの記録ヘッドとしては、上述した明細書に開示されているような複数記録ヘッドの組み合わせによって、その長さを満たす構成や一体的に形成された一個の記録ヘッドとしての構成のいずれでも良い。

【0022】加えて、装置本体に装着されることで、装置本体との電気的な接続や装置本体からのインクの供給が可能になる交換自在のチップタイプの記録ヘッド、あるいは記録ヘッド自体にインクタンクが一体的に設けられたカートリッジタイプの記録ヘッドを用いた場合にも本発明は有効である。

【0023】

【発明の効果】以上説明したように本発明によれば、個々のイメージセンサのオフセット電圧のバラツキによって生じるイメージセンサ間の信号の段差を完全に除去することができ、イメージセンサのS/Nを従来に比べて著しく向上できるという効果がある。

【図面の簡単な説明】

【図1】本発明の画像読取装置の一実施例を示した構成図である。

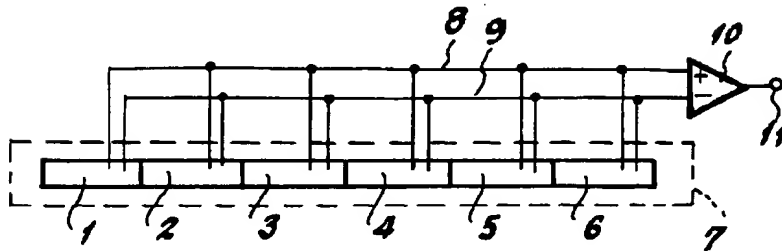
【図2】図1の実施例のイメージセンサの内部構成を示した回路図である。

【図3】図1の実施例の動作を示したタイムチャートである。

【図4】本発明の画像読取装置の他の実施例を示した構成図である。

【図5】図4の実施例の動作を示したタイムチャートである。

【図1】



10

【図6】本発明の画像読取装置の更に他の実施例を示した構成図である。

【図7】図6の実施例の動作を示したタイムチャートである。

【図8】図6の実施例を更に改良した例を示した構成図である。

【図9】イメージセンサの一面素に対応する回路を示した等価回路図である。

【図10】本発明の画像情報処理装置の一実施例を示した構成図である。

【図11】従来例のマルチチップ型イメージセンサを示した構成図である。

【図12】図11のイメージセンサの内部構成を示した回路図である。

【図13】図11の従来センサの動作を示したタイムチャートである。

【符号の説明】

1～6 センサチップ (イメージセンサ)

8 信号出力線

20 9 リファレンス出力線

10, 81 差動アンプ

21～31 画素

62, 66, 67, 74, 75 MOSトランジスタ

64, 65, 76, 77 バッファアンプ

80 メモリ

200 センサユニット

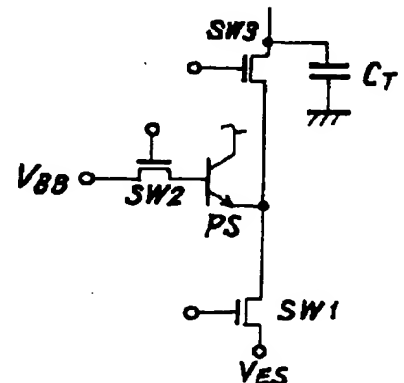
202 給送ローラ

206 プラテンローラ

210 記録ヘッド

30

【図9】



[illegible]

SW1

SW2

SW3

SW4

SW5

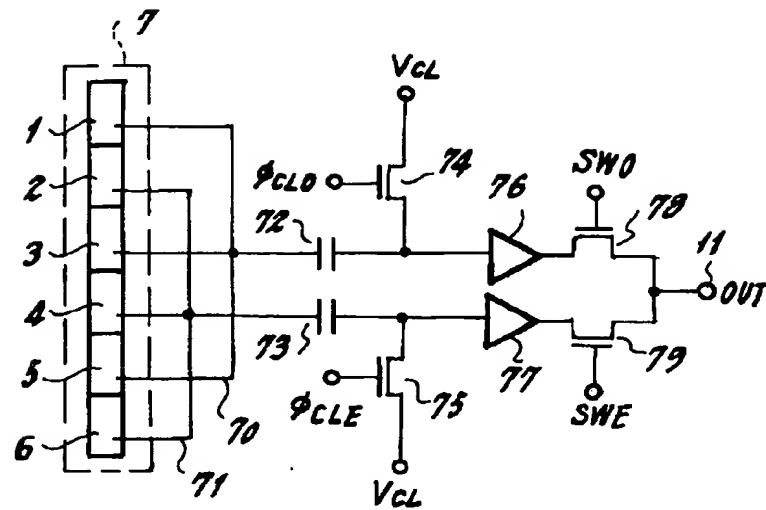
SW6

信号出力
(8)

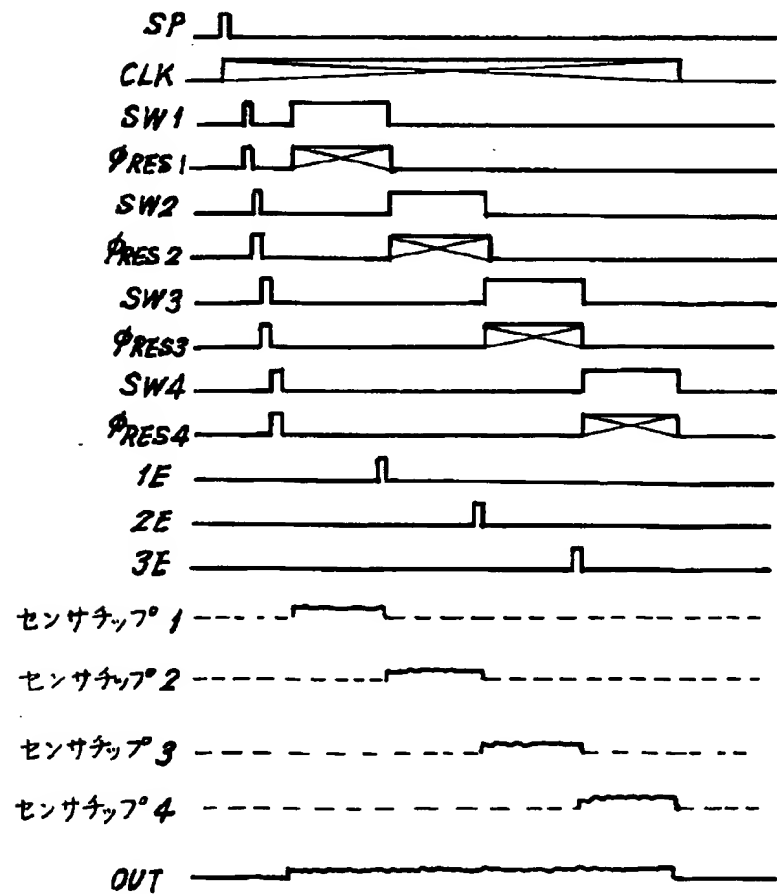
リファレンス出力
(9)

差動出力
(11)

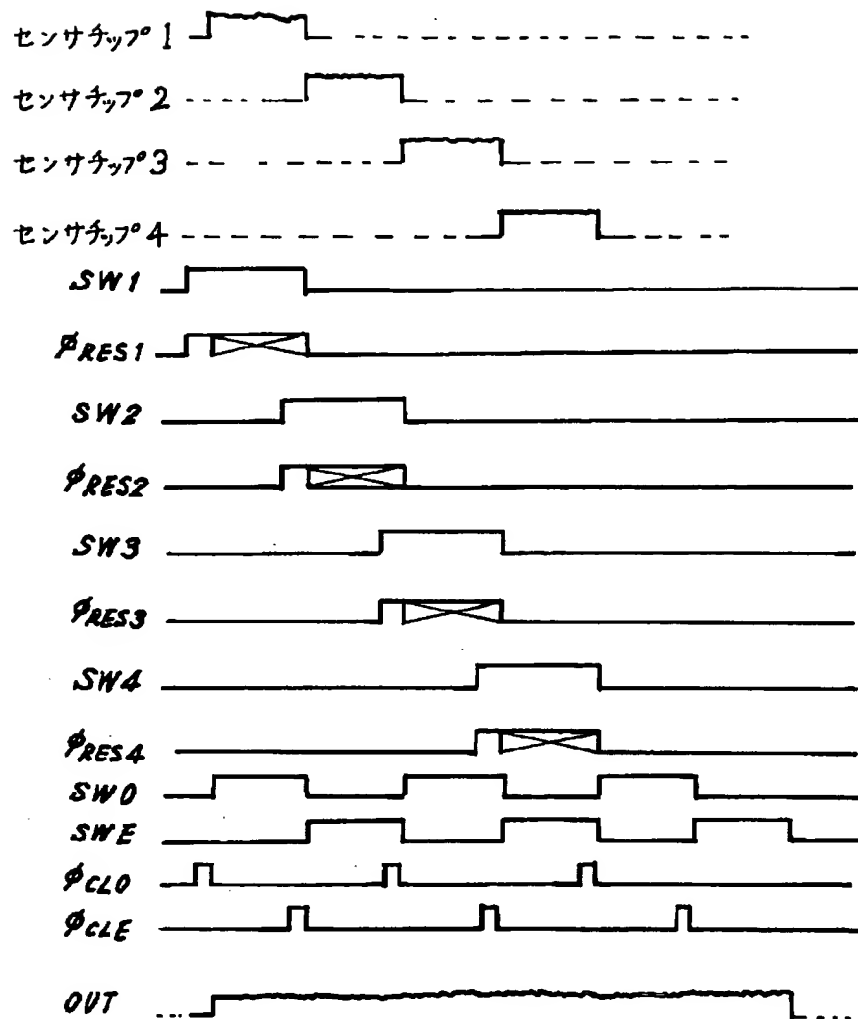
【図4】



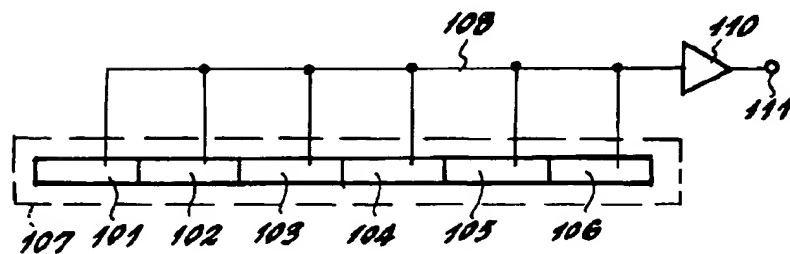
【図7】



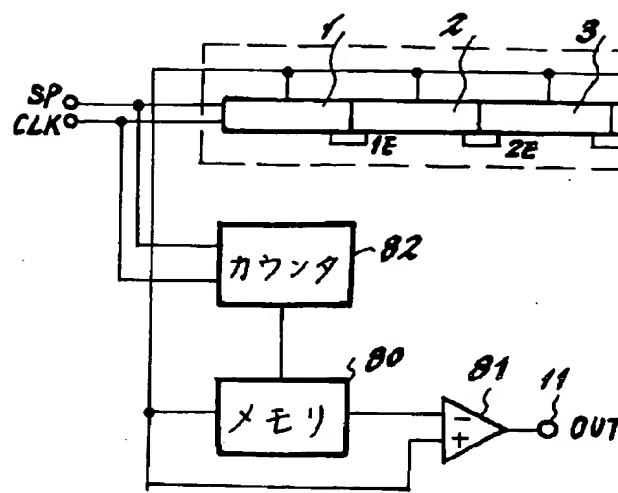
【図5】



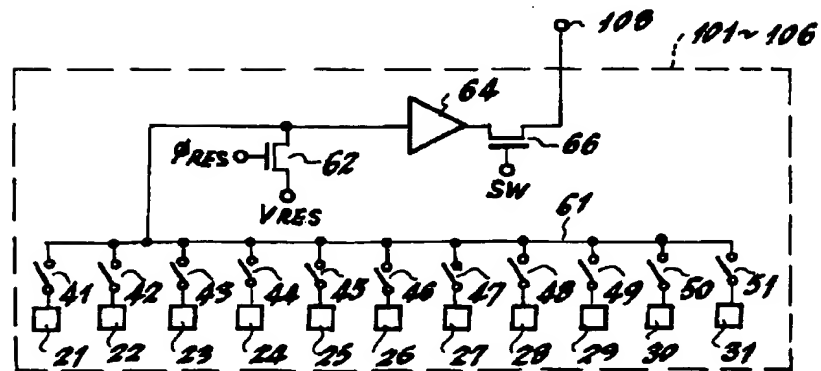
【図11】



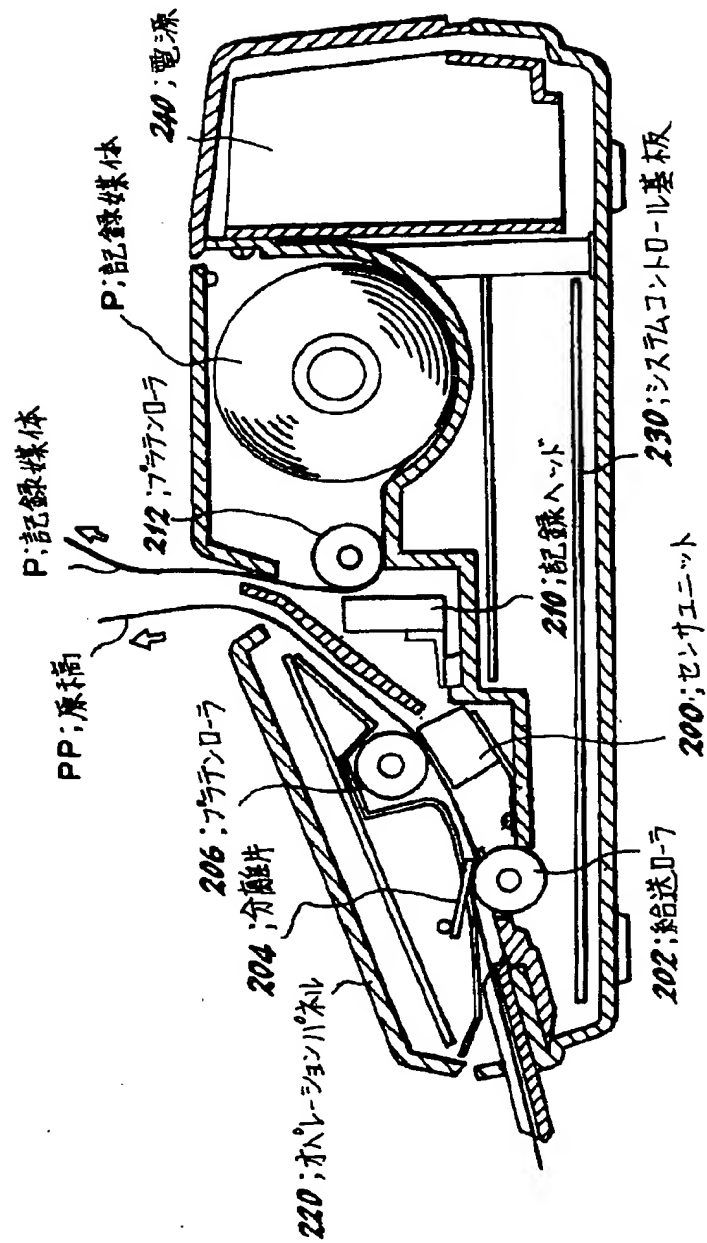
【図8】



【図12】



【図10】



【図13】

